

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

14574452

Basic Patent (No,Kind,Date): CA 2249592 AA 19980730 <No. of Patents: 012>

ACTIVE MATRIX ELECTROLUMINESCENT DISPLAY DEVICE AND A DRIVING METHOD

THEREOF DISPOSITIF D'AFFICHAGE ELECTROLUMINESCENT A MATRICE ACTIVE ET

PROCEDE D'ATTAQUE CORRESPONDANT (English; French)

Patent Assignee: CASIO COMPUTER CO LTD (JP)

Author (Inventor): YAMADA HIROYASU (JP); SHIOYA MASAHARU (JP)

IPC: *G09G-003/30; G09G-003/32; G09F-009/33

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
CA 2249592	AA	19980730	CA 2249592	A	19980127	(BASIC)
CA 2249592	C	20020521	CA 2249592	A	19980127	
CN 1216135	A	19990505	CN 98800067	A	19980127	
CN 1216135	T	19990505	CN 98800067	A	19980127	
EP 906609	A1	19990407	EP 98900761	A	19980127	
JP 10214060	A2	19980811	JP 9727323	A	19970128	
JP 10232649	A2	19980902	JP 9752543	A	19970221	
JP 10319909	A2	19981204	JP 97148719	A	19970522	
JP 10333641	A2	19981218	JP 97154320	A	19970529	
US 5990629	A	19991123	US 13708	A	19980126	
WO 9833165	A1	19980730	WO 98JP327	A	19980127	
TW 441136	B	20010616	TW 87101059	A	19980126	

Priority Data (No,Kind,Date):

JP 9727323 A 19970128

JP 9752543 A 19970221

JP 97148719 A 19970522

JP 97154320 A 19970529

WO 98JP327 W 19980127

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

05930960 **image available**

ELECTRIC FIELD LIGHT EMISSION DISPLAY DEVICE AND ITS DRIVING METHOD

PUB. NO.: 10-214060 [JP 10214060 A]

PUBLISHED: August 11, 1998 (19980811)

INVENTOR(s): YAMADA HIROYASU

SHIOTANI MASA HARU

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 09-027323 [JP 9727323]

FILED: January 28, 1997 (19970128)

INTL CLASS: [6] G09G-003/30; H05B-033/08

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 43.4 (ELECTRIC POWER -- Applications)

JAPIO KEYWORD:R096 (ELECTRONIC MATERIALS -- Glass Conductors)

ABSTRACT

PROBLEM TO BE SOLVED: To provide the driving method for the electric field light emission display device which can make a gradational display with controllability and be driven with low power consumption.

SOLUTION: One frame period of the electric field light emission device which has electric field light emission elements arranged in matrix and selection transistors and driving transistors of the electric field light emission elements connected is divided into eight subframes 1 to 8. Those subframes are so set that they consist of different display discharge times T_{on} by the respective subframes 1 to 8 and an address period T_{add} of the same time among all the subframes 1 to 8. Consequently, total light emission times by pixels can be made different according to whether pixels are selected in the eight subframes 1 to 8, thereby enabling gradational representation.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214060

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.⁴
G 0 9 G 3/30
H 0 5 B 33/08

識別記号

F I

G 0 9 G 3/30

K

H 0 5 B 33/08

審査請求 未請求 請求項の数12 F D (全 10 頁)

(21) 出願番号 特願平9-27323

(22) 出願日 平成9年(1997) 1月28日

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 山田 裕康

東京都青梅市今井8丁目10番地6 カシオ

計算機株式会社青梅事業所内

(72) 発明者 佐竹 源治

東京都青梅市今井8丁目10番地6 カシオ

計算機株式会社青梅事業所内

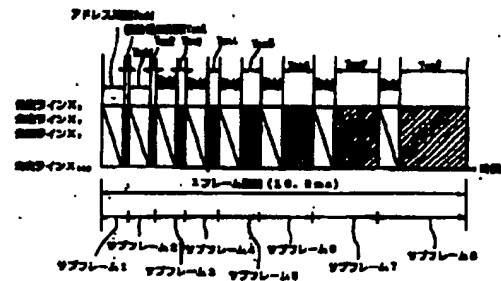
(74) 代理人 弁護士 杉村 次郎

(54) 【発明の名称】 電界発光表示装置およびその駆動方法

(57) 【要約】

【課題】 制御性の良い階調表示が行え、低消費電力動作が可能な電界発光表示装置の駆動方法を提供する。

【解決手段】 電界発光素子がマトリクス状に配置され、この電界発光素子の選択トランジスタと駆動トランジスタとが接続された電界発光表示装置の1フレーム期間を8つのサブフレームに分割する。これらサブフレームは、それぞれのサブフレームで異なる表示放電時間 T_{on} と、全サブフレームで同一時間のアドレス期間 T_{add} と、からなるように設定されている。このため、8つのサブフレームのそれぞれで、画素が選択されたか選択されないかにより、画素毎の発光合計時間を異にすることができ、階調表現が可能となる。



【特許請求の範囲】

【請求項1】 それぞれ一対の電極を有し、電圧の印加に応じて発光する複数の電界発光素子と、
前記各電界発光素子の前記一対の電極の一方のそれぞれに接続され、各アドレス期間に、接地電圧或いは一定電圧値の駆動電圧のいずれか一方を、前記各アドレス期間に対応した各発光設定期間に発光すべき電界発光素子に、出力する複数の第1スイッチング回路と、
前記各電界発光素子の前記一対の電極の他方のそれぞれに接続され、前記各発光設定期間に、前記接地電圧或いは前記駆動電圧の他方を、前記全電界発光素子に出力する第2スイッチング回路と、
を具備することを特徴とする電界発光表示装置。

【請求項2】 前記電界発光素子はマトリクス状に配列され、1フレーム期間は、前記複数のアドレス期間と、各アドレス期間にそれぞれ対応し且つ互いに異なる長さの時間である複数の発光設定期間と、からなることを特徴とする請求項1記載の電界発光表示装置。

【請求項3】 前記第1スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が接地或いは前記駆動電圧のいずれか一方を出力する駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項1または請求項2に記載の電界発光表示装置。

【請求項4】 前記走査電圧および前記信号電圧は、それぞれの特性に応じたオン/オフの2値信号であることを特徴とする請求項3記載の電界発光表示装置。

【請求項5】 前記第2スイッチング回路には、オン/オフの2値信号が入力されることを特徴とする請求項1～請求項4のいずれかに記載の電界発光表示装置。

【請求項6】 前記各発光設定期間の時間の長さの比率は、それぞれ2の n 乗（ n は0以上の整数）のいずれかであることを特徴とする請求項1～請求項5のいずれかに記載の電界発光表示装置。

【請求項7】 電圧の印加に応じて発光する複数の電界発光素子を有する電界発光表示装置の駆動方法において、

1フレーム期間が、それぞれ任意の前記電界発光素子を選択する、複数のアドレス期間を備え、且つそれぞれの前記アドレス期間の後に、当該アドレス期間で選択された前記電界発光素子に駆動電圧を供給する、互いに異なる長さの時間に設定された駆動電圧供給期間を備えることを特徴とする電界発光表示装置の駆動方法。

【請求項8】 前記複数の電界発光素子は、それぞれ一対の電極を有し、前記複数の電界発光素子の前記一対の電極の一方はそれぞれに対応した複数の第1スイッチン

グ回路に接続され、前記複数の電界発光素子の前記一対の電極の他方はそれぞれ第2スイッチング回路に接続され、前記第1スイッチング回路は、前記各アドレス期間毎に前記電界発光素子を選択して接地電圧或いは一定電圧値の駆動電圧のいずれか一方を出力し、前記第2スイッチング回路は、前記各アドレス期間に応じて選択された電界発光素子を前記各アドレス期間に対応する前記駆動電圧供給期間に前記接地電圧或いは前記駆動電圧のいずれか他方を出力することを特徴とする請求項7に記載の電界発光表示装置の駆動方法。

【請求項9】 前記第1スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され、信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、ドレイン電極が前記電界発光素子に接続され、ソース電極が前記接地電圧或いは前記駆動電圧の一方を入力する駆動トランジスタと、を備えることを特徴とする請求項8記載の電界発光表示装置の駆動方法。

【請求項10】 前記走査電圧、前記信号電圧および前記第2スイッチング回路は、それぞれの特性に応じたオン/オフの2値信号が入力されることを特徴とする請求項9記載の電界発光表示装置の駆動方法。

【請求項11】 前記電界発光素子はマトリクス状に配列され、前記1フレーム期間は、前記アドレス期間と駆動電圧供給期間とが交互に設定されることを特徴とする請求項7～請求項10のいずれかに記載の電界発光表示装置の駆動方法。

【請求項12】 前記各駆動電圧供給期間の時間の長さの比率は、それぞれ2の n 乗（ n は0以上の整数）のいずれかであることを特徴とする請求項7～請求項11のいずれかに記載の電界発光表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は電界発光表示装置およびその駆動方法に関し、さらに詳しくは、エレクトロルミネッセンス発光を行う表示装置の駆動方法に関する。

【0002】

【従来の技術】従来、図10に示すような、1画面に2つの薄膜トランジスタ（以下、TFTという）を備えた構造の有機ELディスプレイ（電界発光表示装置）がある。この有機ELディスプレイにおいては、同図に示すように、有機EL素子1と直列に繋がる駆動TFT2のチャネル抵抗を、そのゲートバイアスを選択TFT3が書き込むことで階調表示させていた。ここで、選択TFT3が走査ラインXmで選択されると、書き込む信号が信号ラインYnから供給されるようになっている。図11は、このように書き込まれた駆動TFT2の、ゲート電圧（ V_g ）とチャネル抵抗との関係、所謂電界効果ト

ランジスタ (FET) の特性を示すグラフである。図12は、1画素における有機EL素子1と電圧制御手段Vcと全画素共通EL電源4との関係を示す等価回路図である。この電圧制御手段Vcは、選択トランジスタ3と駆動トランジスタ2とから構成されている。

【0003】

【発明が解決しようとする課題】 上記した従来の1画素2セルTFT構造の有機ELディスプレイでは、駆動TFT2のゲートバイアスの変化によってチャネルに流れる電流を変えることにより、画素ELの発光輝度を変化させることで階調を表現している。このため、たとえば256階調を実現しようすると、パネル内の各画素の駆動TFT2の線形領域での特性バラツキが256階調の制御に要求される範囲内になければならない、そのような均一な特性のTFTパネルの製造は実現が困難であるという問題がある。

【0004】 この発明が解決しようとする課題は、制御性のよい階調表示が行えると共に、低消費電力動作が可能な電界発光表示装置の駆動方法を得るにはどのような手段を講じればよいかという点にある。

【0005】

【課題を解決するための手段】 請求項1記載の発明は、電界発光表示装置であって、それぞれ一對の電極を有し、電圧の印加に応じて発光する複数の電界発光素子と、前記各電界発光素子の前記一對の電極の一方のそれぞれに接続され、各アドレス期間に、接地電圧或いは一定電圧値の駆動電圧のいずれか一方を、前記各アドレス期間に対応した各発光設定期間に発光すべき電界発光素子に、出力する複数の第1スイッチング回路と、前記各電界発光素子の前記一對の電極の他方のそれぞれに接続され、前記各発光設定期間に、前記接地電圧或いは前記駆動電圧の他方を、前記全電界発光素子に出力する第2スイッチング回路と、を具備することを特徴としている。

【0006】 請求項1記載の発明では、各発光設定期間に発光すべき電界発光素子を予め選択して、対応する各アドレス期間に接地電圧或いは一定電圧値の駆動電圧の一方を印加しているので、各発光設定期間に全電界発光素子の一對の電極の他方に接地電圧或いは駆動電圧の他方を印加すれば、選択された電界発光素子のみが発光設定期間に発光することができる。したがって、複数の発光設定期間中に選択的に電界発光素子が発光することにより、言い換えれば、選択された発光設定期間の総時間に応じて、各電界発光素子の見かけ上の発光輝度を制御することができる。

【0007】 請求項2記載の発明は、前記電界発光素子はマトリクス状に配列され、1フレーム期間は、前記複数のアドレス期間と、各アドレス期間にそれぞれ対応し且つ互いに異なる長さの時間である複数の発光設定期間と、からなることを特徴としている。請求項2記載の発

明では、各発光設定期間の時間の長さが互いに異なるので、階調に応じた発光設定期間を選択すれば一定電圧値の駆動電圧にもかかわらず、それぞれの画素が1フレーム期間に少ない選択数で多くの輝度階調数の発光を実現することができる。

【0008】 請求項3記載の発明は、前記第1スイッチング回路は、定電圧が供給される定電圧ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が接地或いは前記駆動電圧のいずれか一方を出力する駆動電源に接続された駆動トランジスタと、を備えることを特徴としている。請求項8記載の発明では、アドレス期間に選択された電界発光素子に、発光設定期間中に容易に接地電圧或いは一定電圧値の駆動電圧の一方を印加できるようチャージできる。

【0009】 請求項4記載の発明は、前記定電圧および前記信号電圧は、それぞれの特性に応じたオン/オフの2値信号であることを特徴としている。また、請求項5記載の発明は、前記第2スイッチング回路には、オン/オフの2値信号が入力されることを特徴としている。、
【0010】 請求項4および請求項5記載の発明では、定電圧、信号電圧および第2スイッチング回路がオン/オフの2値信号で制御できるので、選択トランジスタ、駆動トランジスタ、第2スイッチング回路のV-I特性に多少のばらつきがあっても、飽和電流領域の電圧を印加すれば、良好に輝度階調を制御することができる。

【0011】 請求項6記載の発明は、前記各発光設定期間の時間の長さの比率は、それぞれ2のn乗 (nは0以上の整数) のいずれかであることを特徴としている。

【0012】 請求項7記載の発明は、電圧の印加に応じて発光する複数の電界発光素子を有する電界発光表示装置の駆動方法において、1フレーム期間が、それぞれ任意の前記電界発光素子を選択する、複数のアドレス期間を備え、且つそれぞれの前記アドレス期間の後に、当該アドレス期間で選択された前記電界発光素子に駆動電圧を供給する、互いに異なる長さの時間に設定された駆動電圧供給期間を備えることを特徴としている。

【0013】 請求項7記載の発明では、各アドレス期間に、次の駆動電圧供給期間に発光すべき電界発光素子を予め選択して、駆動電圧供給期間に発光させるが、各駆動電圧供給期間の時間の長さが互いに異なるので、それぞれの画素が、階調に応じた駆動電圧供給期間を選択すれば一定電圧値の駆動電圧にもかかわらず、1フレーム期間に少ない選択で多くの輝度階調数の発光を実現することができる。

【0014】

【発明の実施の形態】 以下、この発明に係る電界発光表

5

示装置の駆動方法の詳細を断面に示す実施形態に基づいて説明する。なお、駆動方法の説明に先駆けて、電界発光表示装置の構成について説明する。図1は本実施形態に係る電界発光表示装置の駆動回路図である。同図に示すように、電界発光素子としての有機EL素子101が、X-Yマトリクス状に配置されたそれぞれの画素領域に形成されている。これらの画素領域は、複数の走査ラインXと複数の信号ラインYとがそれぞれ交差する部分に形成されている。1つの画素領域には、走査ラインXおよび信号ラインYに接続された選択トランジスタQ₁と、この選択トランジスタQ₁にゲートが接続された駆動トランジスタQ₂とが設けられている。この駆動トランジスタQ₂は、有機EL素子101の一方の電極に接続されている。そして、選択トランジスタQ₁が選択され、且つ信号ラインYより駆動信号が出力されると駆動トランジスタQ₂がオン状態になるように設定されている。この駆動信号は、ON/OFFの2値信号である。なお、駆動トランジスタQ₂は、オフ状態では有機EL素子101に比べて充分高抵抗で、オン状態では有機EL素子101に比べて無視できるほど充分低抵抗となるようにその特性が設定されている。

【0015】図2は、この電界発光表示装置の1画素部分の等価回路図である。同図に示すスイッチS₁は有機EL素子101の一方の電極に接続されており、このスイッチS₁の閉じている状態で、有機EL素子101の発光が可能となる。また、スイッチS₂は、有機EL素子101の他方の電極側に接続されており、全画素に共通に用いられるとともに、後記するサブフレーム期間内の発光時間に従って全画素を同時にオン/オフし得るようになっている。なお、図2中P₀は一定電圧に固定された駆動電源を示している。

【0016】ここで、本実施形態における電界発光表示装置の更に具体的な構成を、図3および図4を用いて説明する。図3は、本実施形態における電界発光表示装置の1画素部分を示す平面図である。図4は、図3のA-A断面図である。図中100は電界発光表示装置を示している。

【0017】本実施形態の電界発光表示装置100は、ガラス或いは樹脂フィルムからなる基板102の上に例えばアルミニウム(A1)でなるゲート金属膜がパターンニングされてなる、所定方向(X方向)に沿って平行かつ等間隔をなす複数の走査ライン103と、この走査ライン103に一体的な、選択トランジスタQ₁のゲート電極103Aと、駆動トランジスタQ₂のゲート電極103Bと、が形成されている。なお、これらゲート電極103A、103Bおよび走査ライン103の表面には、陽極酸化膜104が形成されている。また、これら走査ライン103、ゲート電極103A、103Bおよび基板102の上には、窒化シリコンでなるゲート絶縁膜105が形成されている。さらに、ゲート電極103

6

A、103Bの上方のゲート絶縁膜105A、105Bの上には、アモルファスシリコン(a-Si)でなる半導体層106A、106Bがパターン形成されている。また、それぞれの半導体層106A、106Bの中央には、チャネル幅方向に沿って形成されたブロッキング層107A、107Bが形成されている。そして、半導体層106Aの上には、ブロッキング層107A上でソース側とドレイン側とに分離されたオーミック層108A、108Aが形成されている。さらに、選択トランジスタQ₁においては、ドレイン側のオーミック層108Aに積層されて接続する信号ライン109Aと、ソース側のオーミック層108Aに積層されて接続するソース電極109Bとが形成されている。このソース電極109Bは、図3に示すように、駆動トランジスタQ₂のゲート電極103Bに対して、ゲート絶縁膜105に開口したコンタクトホール110を介して接続されている。駆動トランジスタQ₂においては、ソース側のオーミック層108Bに積層されて接続するGND線111と、一端がドレイン側のオーミック層108Bに積層されて接続し、且つ他端が有機EL素子101の後記するカソード電極114に接続するドレイン電極112が形成されている。これら選択トランジスタQ₁と駆動トランジスタQ₂は、図2に示したスイッチS₁を構成している。また、ゲート電極103Bとゲート絶縁膜105とGND線とでキャパシタC_{p1}が構成される。

【0018】次に、有機EL素子101の構成を説明する。まず、上記した選択トランジスタQ₁、駆動トランジスタQ₂およびゲート絶縁膜105の上に、電界発光表示装置100の発光表示領域全域に亘って、層間絶縁膜113が堆積されている。そして、上記した駆動トランジスタQ₂のドレイン電極112の端部上の層間絶縁膜113にコンタクトホール113Aが形成されている。なお、本実施形態では、駆動トランジスタQ₂のドレイン電極112の端部は、1画素領域の略中央に位置するように設定されている。そして、層間絶縁膜113の上に、例えばMgInでなるカソード電極114が略1画素領域全域に亘って矩形状に形成されている。すなわち、カソード電極114は、相隣接する信号ライン109A、109Aと相隣接する走査ライン103、103とで囲まれる領域(1画素領域)を略覆うように形成されている。このため、選択トランジスタQ₁と駆動トランジスタQ₂とは、カソード電極114で全面的に覆われている。

【0019】さらに、図4に示すように、各画素毎にパターン形成されたカソード電極114、および層間絶縁膜113の上に、有機EL層115が発光表示領域全域に亘って形成されている。さらに、有機EL層115の上には、透明なITOでなるアノード電極116が全有機EL素子101の発光表示領域全域に亘って形成されている。また、各有機EL素子101のアノード電極1

16は、スイッチS2を介して駆動電圧Vddを供給する駆動電源Psに接続されている。

【0020】ここで、上記した構成の電界発光表示装置100の作用について説明する。本実施形態においては、カソード電極114が、相隣接する信号ライン109A、109Aと相隣接する走査ライン103、103とで囲まれる領域（1画素領域）を略覆うように形成されているため、有機EL素子101は1画素領域の略全域に亘って発光を行うことができる。また、カソード電極114が光反射性を有するMgInで形成されているため、カソード電極114とアノード電極116との間に駆動電圧が印加された場合に、有機EL層115で発生した表示光は、下方（ガラス基板102側）に漏れることなくアノード電極116側に出射される。このため、選択トランジスタQ1および駆動トランジスタQ2の半導体層106A、106Bへ不要に光が入射するのを防止することができ、各トランジスタの光起電力による誤動作が生じるのを回避することができる。また、表示光は、透明なアノード電極116側から出射されるため、ガラス基板102などにより光吸収されることがなく、輝度の高い状態で出射される。

【0021】次に、本実施形態の電界発光表示装置100の駆動回路系を説明する。図2の等価回路図が示すように、有機EL素子101とスイッチS1、S2と駆動電源Psとから1画素部分のEL表示回路が構成されている。また、上記したように、スイッチS1は、選択トランジスタQ1と駆動トランジスタQ2とから構成され、有機EL素子101に選択的に接地電位を供給（出力）することができる。有機EL素子101においては、アノード電極側に正極性の一定電圧値の駆動電圧Vddを供給する駆動電源Psが接続され、そのカソード電極側にスイッチS1が接続され、スイッチS1を構成する駆動トランジスタQ2のソース電極側はGND線111を介して接地されている。

【0022】以下、本実施形態の電界発光表示装置100の駆動方法について説明する。まず、本実施形態は、電界発光表示装置100における走査ライン103の本数を例えば480本、信号ライン109Aの本数を例えば640本に設定する。そして、本実施形態では、図5に示すような階調表示方式を用いる。同図に示すように、1フレーム期間（1枚の表示を描く期間）が16.6ms固定であるとして、1フレーム期間を8つのサブフレーム期間（サブフレーム1～8）に分割する。各サブフレーム期間は、アドレス書き込みを行うためのアドレス期間Taddとアドレス期間に対応した駆動電圧供給期間Ton1～8とからなる。この駆動電圧供給期間Tonの比率は、Ton1を1（=2⁰）とすると、Ton2は2（=2¹）、Ton3は4（=2²）、Ton4は8（=2³）、Ton5は16（=2⁴）、Ton6は32（=2⁵）、Ton7は64（=2⁶）、Ton8は

128（=2⁷）となる。このような駆動電圧供給期間において、1の駆動電圧供給期間で1という輝度を表示するとすると、サブフレーム1のみを点灯することで1の輝度が得られる。輝度2のときはサブフレーム2のみを、輝度3のときはサブフレーム1とサブフレーム2を、4のときはサブフレーム3のみを点灯するというように、以下同様にして組み合わせにより合計256（=2⁸）の階調を表示することが可能となる。

【0023】各サブフレームにおいては、アドレス期間Taddにアドレス書き込みが終了した後に駆動電圧供給期間Tonの間アドレス選択された画素を同時に点灯させる。その次のサブフレームではアドレス期間Tadd中にアドレス書き換えを行って駆動電圧供給期間Tonにアドレス選択された画素を同時に点灯させる。このようにサブフレーム1からサブフレーム8まで1フレーム期間内に行う。アドレス選択のタイミングは、図2に示したスイッチS1で制御し、駆動電圧供給時間はスイッチS2のオン時間で制御することができる。すなわち、1つのサブフレーム期間内において、走査ラインと信号ラインとの線順次走査により、このサブフレーム特有の表示放電期間に点灯すべき画素の選択トランジスタQ1がオン状態となる。そして、選択トランジスタQ1がオンになると信号ラインから選択トランジスタQ1を介して駆動トランジスタQ2のゲート電極への書き込みが行われ、アドレス期間Tadd内においては駆動トランジスタQ2にチャネルが形成された状態が保持される。このアドレス期間で点灯すべき画素がすべて選択された後、すなわちアドレス期間Tadd終了後の駆動電圧供給期間Tonまで選択状態が保持される。駆動電圧供給期間Ton中には、アノード電極116に接続された駆動電源PsがスイッチS2でオンされる。この駆動電圧供給期間は、上記したようにそれぞれのサブフレームでその長さが設定されている。ここで、1フレーム期間中の全アドレス期間Taddの時間の長さとして、各アドレス期間Taddは、1.04ms程度となり、各走査ラインXi～X480の1駆動電圧供給期間で選択される時間は、2.2μs程度となる。

【0024】次に、本実施形態の駆動方法で階調表示が行える原理を図6を用いて説明する。この図は、簡略化するために、1フレーム期間を3つのサブフレームに分割した例であり、サブフレーム1の駆動電圧供給期間（発光時間）は1（=2⁰）、サブフレーム2の駆動電圧供給期間は2（=2¹）、サブフレーム3の駆動電圧供給期間は4（=2²）とした。図6は、網状の斜線を付した部分の画素13、22、24、31、35、42、44、53の輝度が高くなるように表示された例を示している。具体的には、サブフレーム1で全画素が選択されて輝度1の発光を行ったとすると、サブフレーム2、3では線順次走査により画素13、22、24、3

1、35、42、44、53のみが選択され、輝度2と輝度4が加算されたと設定する。このため、3つのサブフレームが終了した（1フレーム期間が終了した）状態では、図素13、22、24、31、35、42、44、53が輝度7となり、他の図素が輝度1であるのと比較して高輝度となる。このように、1フレーム期間を複数のサブフレームに分割することにより、アドレス期間合計と駆動電圧供給期間合計との比を変えることができるため、電界発光表示装置100の階調表示が可能となる。また、図7に示す有機EL素子の電圧-輝度-効率特性で最も効率の良い電圧値を輝度駆動に用いるように設定すれば、低消費電力で輝度駆動させることができる。このような原理は、1フレーム期間を8つのサブフレームに分割した場合での同様に適用できるものであり、256階調の表現も可能となる。

【0025】上記したように、本実施形態によれば、一定の駆動電圧V_{dd}のスイッチングをオン/オフの2値信号で制御するスイッチS₂を用い、且つ選択トランジスタQ₁と駆動トランジスタQ₂にもオン/オフの2値信号をいずれかを選択的に出力するため、図10のソース・ドレイン間電圧V_{SD}をソース・ドレイン間電流が飽和電流になる範囲に設定するので、各トランジスタの電圧V_{SD}の1V〜5V間でのV-I特性に多少のばらつきがあっても、良好に輝度階調を制御することができ、安定した階調制御を行うことが可能となる。特に、1つの有機EL素子に対し選択トランジスタQ₁、駆動トランジスタQ₂、スイッチS₂の3つのスイッチング素子が構成されている場合、それぞれのわずかな電気的特性のずれが相乗され、1つの図素として大きく輝度階調がずれてしまう恐れがあるが、選択トランジスタQ₁や駆動トランジスタQ₂およびスイッチS₂は、飽和電流領域での電圧値を用いオン/オフ制御を行うだけであるため、特性に多少のバラツキがあった場合でもその影響を受けにくいという利点がある。また、有機EL素子101にとって発光効率のよい電圧値を駆動電圧として設定できるため、低消費電力化を達成することができる。

【0026】以上、本実施形態について説明したが、本発明はこれに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。例えば、上記した実施形態においては、サブフレーム期間におけるアドレス期間内でアドレス選択状態を保持するために、選択トランジスタQ₁と駆動トランジスタQ₂とを備えた構成としたが、図8の1図素等価回路で示すような構成としてもアドレス選択状態を保持することができる。図8においてQ₃は選択トランジスタ、Q₄は駆動トランジスタ、C_{p2}は容量を示している。なお、この駆動トランジスタQ₄は別途容量C_{p2}が接続されているため、EEPROM機能を有しないTFTを用いることができる。駆動トランジスタQ₄のソース・ドレインの一方が各有機EL素子101の各カソード電極に接続され、他方がス

イッチS₂を介して負電位V_{dd'}を供給する直流電源P_{s'}に接続されている。有機EL素子101は、発光表示領域全域に亘って形成されたアノード電極が接地され構造であり、駆動トランジスタQ₄が選択され、スイッチS₂がオンすると発光する。また、上記した実施形態においては、電界発光素子として直流電界で発光できる有機EL素子101に特に有効であるが、無機EL素子やその他の電界発光素子を適用することも勿論可能である。本実施形態では、有機EL素子の発光層は電荷輸送性の異なる2層以上の有機層から構成されてもよく、アノード電極116上に酸素および水の侵入を防止する封止層を設けてもよい。また、基板102側からアノード電極116、有機EL層115、カソード電極114の順に積層した構造としてもよい。

【0027】なお、本実施形態では、1フレーム期間中の全アドレス期間T_{add}の時間の長さとして駆動電圧供給期間T_{on1}〜T_{on8}の時間の長さを等しくしたが、選択トランジスタQ₁、Q₃、駆動トランジスタQ₂、Q₄の特性に応じて、アドレス期間T_{add}、駆動電圧供給期間T_{on}の一方を長くしたり、他方を短くしたりしてもよい。また、各駆動電圧供給期間T_{on}は短い順（T_{on1}、T_{on2}、…、T_{pn8}）に印加されるがこれに限らず、長い順（T_{on8}、T_{on7}、…、T_{on1}）でのよく、或いはT_{on8}、T_{on1}、T_{on5}、T_{on4}、T_{on7}、T_{on2}、T_{on6}、T_{on3}の順のように時間の長さの順番通りでなくてもよい。また、駆動電圧P_sが供給する駆動電圧V_{dd}は、直流電圧での交流でのでもよい。さらに、階調数は256階調に限らず、複数の階調であれば256階調より多くても少なくてもよい。

【0028】本実施形態では、選択トランジスタQ₁と駆動トランジスタQ₂とからなるスイッチS₁がGND線111に接続され、駆動電圧供給期間TにオンするスイッチS₂が駆動電源P_sに接続されているが、図9に示すように、有機EL素子101のアノード電極側のスイッチS₂を駆動電源P_sを介さずに直接接地させ、有機EL素子101のカソード電極側のスイッチS₁の駆動トランジスタQ₂をGND線111の代わりに負極性の一定値の駆動電圧V_{dd'}を供給する駆動電源P_{s'}に接続させてもよい。この場合であっても、走査ラインX、信号ラインYに、それぞれ2値信号のいずれかを出力し、有機EL素子101のアノード電極に接続されたスイッチS₂を2値信号でオン、オフ制御することができる。すなわち、アドレス期間T_{add}には、選択された有機EL素子101のカソード電極側に駆動電圧V_{dd'}が供給され、駆動電圧供給期間T_{on}に全スイッチS₂がオンされ、有機EL素子101のアノード電極が接地され発光する。

【0029】さらに、本実施形態では、有機EL素子101をスイッチS₁の上方に形成したが、スイッチS₁と

同一平面上に形成してもよい。なお、この場合は、基板102側からアノード電極116、有機EL層115、カソード電極114の順に積層して形成すれば、仕事関数の低く酸化されやすい材料からなるカソード電極114をアノード電極116、有機EL層115の形成工程により劣化させることがない。

【0030】

【発明の効果】以上の説明から明らかなように、この発明によれば、電界発光表示装置を制御性よく階調表示できる共に、低消費電力動作を可能にするという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施形態に係る電界発光表示装置の駆動回路図。

【図2】本実施形態における電界発光表示装置の1画素部分の等価回路図。

【図3】本実施形態における電界発光表示装置の平面図。

【図4】図3のA-A断面図。

【図5】本実施形態の駆動方法を示す説明図。

【図6】1フレーム期間を3サブフレームに分割した場合の階調表示原理を説明する説明図。

【図7】本実施形態における有機EL素子の電圧-輝度-効率特性を示すグラフ。

【図8】本発明を適用し得る電界発光表示装置の1画素部分を示す等価回路図。

【図9】本発明の他の実施形態に電界発光表示装置の駆動回路図。

【図10】従来の電界発光表示装置の1画素部分を示す等価回路図。

【図11】従来の電界発光表示装置における駆動TFT2の、ゲート電圧(V_g)とチャネル抵抗との関係を示すグラフ。

【図12】従来の電界発光表示装置の1画素における有機EL素子1と電圧制御手段 V_c と全画素共通EL電源4との関係を示す等価回路図。

【符号の説明】

100 電界発光表示装置

101 有機EL素子

103 走査ライン

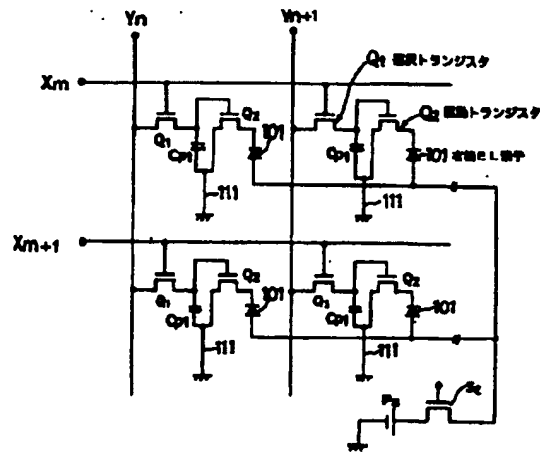
109A 信号ライン

Q1 選択トランジスタ

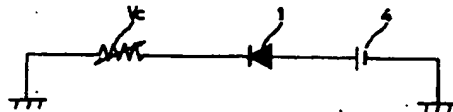
Q2 駆動トランジスタ

S: スイッチ

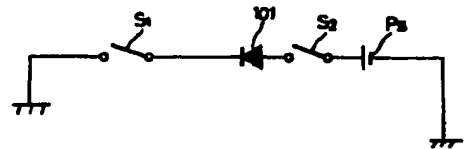
【図1】



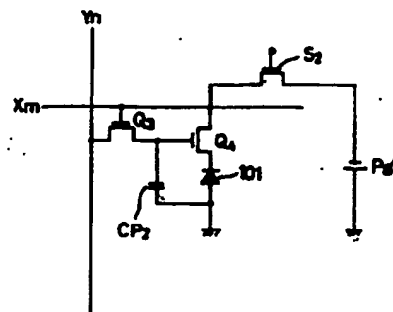
【図12】



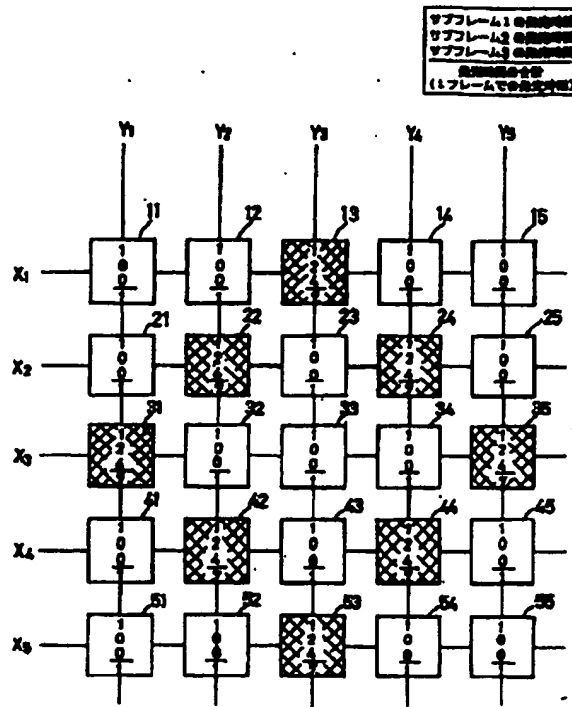
【図2】



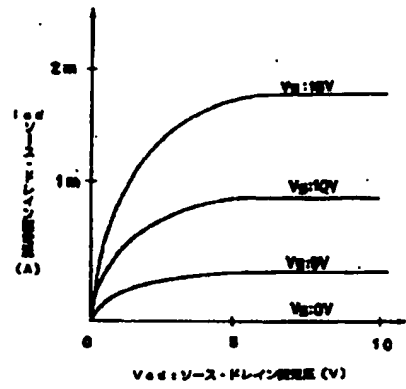
【図8】



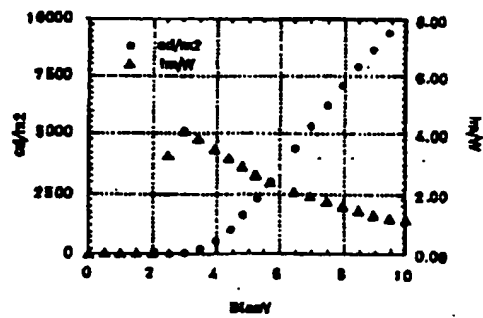
【図6】



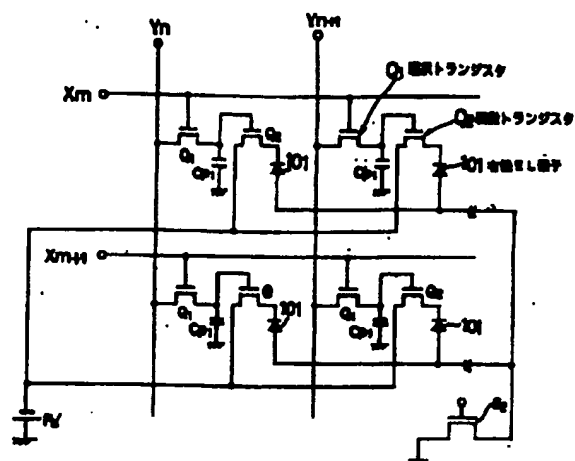
【図11】



【図7】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.